

用于生物医学成像的多通道高精度 TDC 芯片设计

王 雷, 魏廷存, 郑 然

(西北工业大学 教育部嵌入式系统集成工程研究中心, 陕西 西安 710072)

摘 要: 针对生物医学成像设备的高分辨率、高采样率、低功耗、抗噪声等要求, 设计了一种 64 通道, 高精度, 具有自校准功能的时间数字转换(TDC)电路. 双 Gray 码计数器实现 10bit“粗”计数, 基于延迟锁相环(DLL)阵列的多采样技术实现 8bit“细”时间的精确测量. 64 个通道共用一个深度为 32 字的异步先进先出(FIFO)单元存储时间信息. 采用 SMIC 0.18 μ m CMOS 低压工艺实现电路. 时间精度范围是 71~143ps, 动态范围是 10~20 μ s, 微分非线性误差 DNL=0.8LSB, 积分非线性误差 INL=0.3LSB. 该电路适用于生物医学成像, 尤其是小动物 PET 成像系统.

关键词: TDC; 生物医学成像; DLL 阵列; 小动物 PET 成像

中图分类号: TP62+2

文献标识码: A

文章编号: 1000-7180(2010)05-0057-04

A Multi-Channel High Time-Resolution TDC Chip for Biomedical Imaging Application

WANG Lei, WEI Ting-cun, ZHENG Ran

(Engineering Research Center of Embedded System Integration Ministry of Education,
Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: Present a design of a 64-channel, high time resolution, self-calibrating Time to Digital Converter (TDC) for biomedical imaging, especially the small animal PET imaging applications. Double 10-bit gray counters are designed for coarse conversion while a multiphase sampling technology based on array of Delay Locked Loops (DLLs) is proposed for fine conversion. 64 channels use a asynchronous First In First Out unit to store the timing data commonly. Fabricated in SMIC 0.18 μ m CMOS low voltage technology. The simulations indicate the resolution range is achieved from 71 ps to 143 ps and the dynamic range is 10~20 μ s. The differential nonlinearity is 0.8 LSB. The integral nonlinearity is 0.3 LSB.

Key words: TDC; biomedical imaging; array of DLLs; the small animal PET imaging

1 引言

TDC(Time to Digital Converter)电路是实现 PET (Position Emission Tomography)等生物医学成像系统电子准直的关键. 目前, 用于生物医学成像的 TDC 电路典型的时间分辨率为 600ps, 随着 PET 技术进入 Micro-PET 时代, 其 TDC 单元已经要求达到 100ps 以下的时间分辨率来实现小于 1mm 的空间分辨率. Swann 等人利用时间电压转换、电流积分技术设计出适用于 PET 成像的 TDC 电路^[1], 虽然达到 100ps 的时间精度, 但是具有全模拟电路的

缺点. 利用 GaAs 工艺或高频参考时钟可以达到几十皮秒的时间精度^[2-3], 若采用标准的 CMOS 工艺和低频时钟获得亚纳秒级的时间精度, 则需要更好的时间内插技术. 文献[4]中描述了一种利用单个 DLL 和 128 个延迟单元, 获得了 224ps 时间精度的 TDC 芯片. 文献[5]中利用 80MHz 参考时钟, 实现了 4 通道, 89.3ps 时间精度的基于 DLL 阵列的 TDC 芯片. 目前, 还没有出现 64 通道, 时间精度为 100ps 以下的时间数字转换电路芯片的研究文章.

文中针对生物医学成像设备的高分辨率、高采样率、低功耗、抗噪声等特殊要求, 实现 64 通道, 高

时间精度,具有自校准功能的 TDC 电路。

2 实现原理

TDC 电路测量的是两个脉冲信号之间的精确时间差。传统的测量时间技术为计数器技术^[6],如图 1 所示,脉冲信号 start 信号和 stop 信号实际的时间间隔 $\tau_1 = t_2 - t_0$,测量间隔 $\tau_2 = t_3 - t_1$ 。误差 $\Delta\tau = |\tau_1 - \tau_2| = |T_1 - T_0|$ 。因为 $0 \leq |T_1 - T_0| \leq T_{\text{clk}}$,所以这种测试方法的误差接近于参考时钟的周期。这种技术不易获得亚纳秒级的时间精度。当然,这种方法的优点是能测量很大的时间间隔。

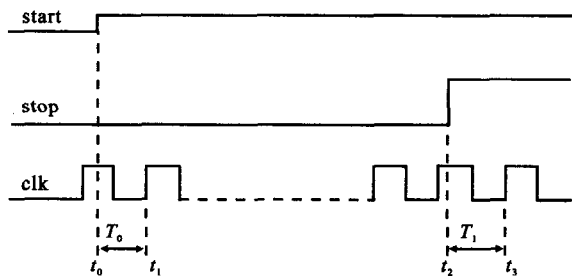


图 1 计数器技术测量时间

文中中采用“粗”计数和“细”时间测量结合的方法。“粗”计数获得几个纳秒的时间分辨和宽动态范围;“细”时间的测量则依靠基于 DLL 阵列 ADLLS(Array of DLLs)的多相位采样技术。ADLLS 通过压控延迟线产生 n 个相同相位差、周期为 T_{ref} 的时钟,设定 hit 信号表示需要测量时间信息的脉冲,通过对多相位时钟进行采样,得到一个 n 位的数据,此数据包含了 hit 脉冲到达时刻的“细”时间的信息,如图 2 所示。hit 脉冲到达时刻的计算公式为:

$$T_{\text{hit}} = T_{\text{coarse}} + T_{\text{fine}} \quad (1)$$

$$T_{\text{coarse}} = N_c * T_{\text{ref}} \quad (2)$$

$$T_{\text{fine}} = N_f * T_{\text{bin}} \quad (3)$$

式中, T_{coarse} ——“粗”时间; T_{fine} ——“细”时间; T_{ref} ——参考时钟的周期; N_c ——“粗”计数单元测

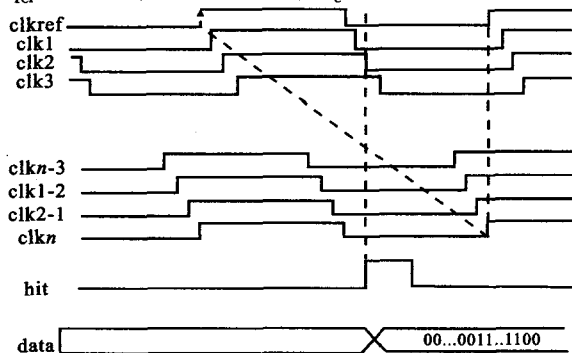


图 2 多相位采样技术

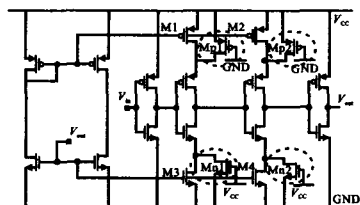
量的值; N_f ——“细”时间测量单元测量的值; T_{bin} ——最小时间单元。

3 固定相位差时钟产生电路

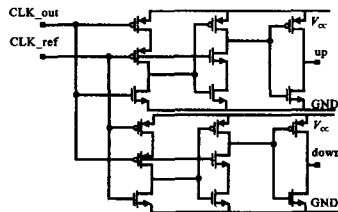
3.1 DLL 的设计

文中设计的是电荷泵 DLL,包括电压控制的延迟链、鉴相器 PD (Phase Detector)、电荷泵 CP (Charge Pump)、环路滤波器 LF (Loop Filter) 等单元。各个单元电路专门设计,以消除或减弱时钟毛刺、相位噪声以及 CMOS 管二级效应带来的影响。

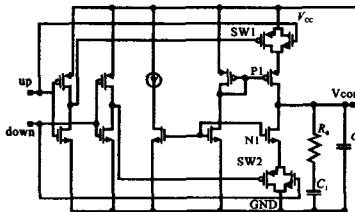
延迟单元的电路图如图 3(a)所示,延迟单元由四级反相器组成。输入端和输出端附近反相器用于整形。中间的两级反相器的延迟可以通过电压控制 M1, M2, M3, M4 进行调节, Mp1, Mp2, Mn1, Mn2 可以使曲线更加的平滑。文中延迟单元的设计尤其要注意保证其上升时间和下降时间的差值足够小,否则就不能保证多个时钟之间的相位差固定。



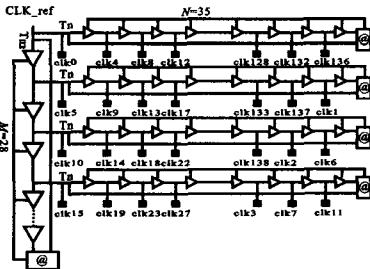
(a) 延迟单元



(b) 鉴相器



(c) 电荷泵和环路滤波器



(d) ADLLS 的结构和输出

图 3 固定相位差时钟产生电路

PD 的电路图如图 3(b)所示,采用单相时钟 TSPC (True Single Phase Clock) 动态 D 触发器设计,结构简单,增加 PD 的速度,并且可以改善边沿触发带来的死时间(Dead Time)和相位抖动问题。

CP 和 LF 的电路图如图 3(c)所示,将 CP 开关管 SW1, SW2 的位置设置到电流源的源端,此时,开关不和输出直接相连,几乎不受电荷注入等效效应的影响;其次也不需要增加偏置电流来提高速度,可以实现低功耗的目的。此外, P1 和 N1 始终工作在饱和区,可以消除电荷分享效应^[7]。该方案电路结构简单,又削弱了 CMOS 管带来的非理想特性,同时保证了高速、低功耗的电路性能。电荷泵驱动的是 R_0 和 C_0 的串联组合的环路滤波器,每次向环路滤波器注入电流时,即使是锁定条件下,控制电压都会经历一个很大的跳动。为了缓解这个问题,通常在它们边上再并联第二个电容。这样滤波器就变成二阶的,从而 DLL 成为一个三阶系统,系统的稳定性问题变得具有挑战性。在实际设计中,只要 C_1 大约是 C_0 的 $1/5 \sim 1/10$, 闭环时的时间和频率响应相对保持不变。

3.2 ADLLS 的设计

ADLLS 决定了最小时间单元 T_{bin} 的值。使用具有几个相同相移的 DLL(延迟 DLL)可以将系统的分辨率提高到门延迟的分数倍水平,一个单独的由更少延迟单元组成的 DLL(相移 DLL)用来精确产生所需的相移。假设相移 DLL 有 M 个延迟单元,单条延迟 DLL 有 N 个延迟单元。当 ADLLS 锁定后,各自的每个延迟单元的延迟为^[8]

$$T_n = T_{ref}/N \quad (4)$$

$$T_m = T_{ref}/M \quad (5)$$

$$T_{bin} = T_m - T_n = T_{ref}/M - T_{ref}/N \quad (6)$$

如果所需的 T_{bin} 是 ADLLS 中 T_m 的 $1/F$, 并且满足

$$T_m = T_n(1 + 1/F) \quad (7)$$

那么 M, N, F (均为整数) 之间的关系是

$$M = N * F / (F + 1) \quad (8)$$

根据时间精度的要求,文中选择 $F = 4$, 通过式(7)、式(8)可以确定 $M = 28, N = 35$, 因此可以产生 140 个相同相位差的时钟。

ADLLS 的结构如图 3(d)所示,包括 4 条含有 35 个基本延迟单元的延迟 DLL(DLL35)和一条含有 28 个延迟单元的相移 DLL(DLL28)。可以获得的最小时间单元 $\tau = T_{ref}/140$, 最小的相移为 $\varphi =$

$2\pi/140.4$ 条 DLL35 输出的 140 个固定相位差时钟的顺序是混乱的。图 3(d)中表明了对应关系,其中 clk_i 表示和 CLK_{ref} 偏移 $i * \varphi$ 相位的时钟。ADLLS 可获得的精度和延迟单元的匹配程度有很大的关系,对不匹配最敏感的单元是电压控制产生充放电电流的晶体管,图 3(a)中的 M1, M2, M3, M4, 所以 ADLLS 的版图设计很关键。另外,时钟毛刺和相位噪声也是影响精度的因素。

4 采样电路

文中使用双 10-bit Gray 码计数器进行“粗”时间采样。Gray 码计数器比二进制计数器的优点在于可以明显的降低芯片的动态功耗,引入较少的毛刺。采用双时钟采样,可以避免由于翻转的不一致性出现的亚稳态。 clk 上升沿采样 counter # 2, clk_n 上升沿采样 counter # 1, 如图 4 所示。hit 信号采样 coarse 数据,即可得到“粗”时间。计数器的设计要考虑到时间窗口的问题,当计数到达时间窗口的极限值时需要对计数进行复位。

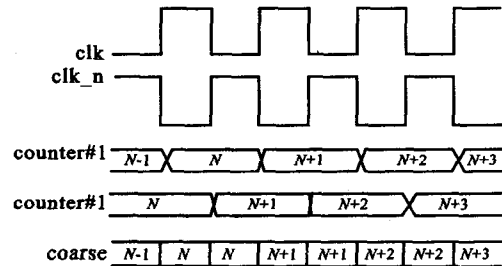


图4 双时钟采样技术

在“细”时间采样前需要修复 ADLLS 产生的多相位时钟的占空比。由于延迟单元的上升时间和下降时间的微小偏差,使得多相位时钟占空比偏离 1:2, 因此需要对占空比进行修复。本文采用的是二分频方法修复占空比,如图 5 所示,使产生的 140 个时钟经过二分频电路,由于多相位时钟的周期和参考时钟是一致的,这样占空比就修复为 1:2。这个方法还有一个好处:使多相位采样得到的数据成为温度

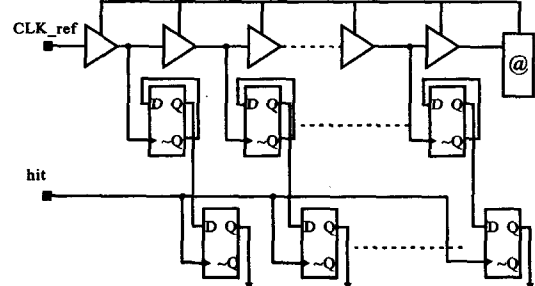


图5 生成时钟的占空比修复方法

计码形式,可以简化后面的码制转换逻辑.

5 数据读出电路

从“粗”计数单元输出的数据格式是 Gray 码;从“细”时间测量单元输出的数据格式是温度计码,需要转换成二进制.64 通道产生的数据需要送到后续的 DSP 模块进行处理,由于数据产生部分和数据处理部分所采用的时钟不是同一个时钟,两个时钟域之间传递数据需要保证数据的安全性,采用异步 FIFO 可以解决这个问题.在 FIFO 中将按一定的数据格式来存储,包含通道标志、“粗”时间测量值和对应的“细”时间测量值.缓存的数据共有 24 位,高 6 位表示 64 个通道的通道标志,中 10 位表示“粗”时间,低 8 位表示“细”时间.

6 仿真结果与性能参数

文中采用 SMIC 0.18 μm CMOS 低压工艺实现电路,HSPICE 仿真结果如下:

延迟单元控制电压和延迟时间的曲线关系:控制电压从 0~1.8V 变化,相应的延迟时间变化范围是 670~220ps.当输入参考时钟为 100MHz 时,延迟单元的延迟为 286ps,控制电压为 0.92V.上升时间和下降时间的差值小于 1ps.

ADLLS 的功耗约 16.8mW,对数字模块进行 RTL 级的功耗分析约为 172mW,单通道功耗约为 3mW.

TDC 电路的微分非线性 DNL、积分非线性 INL 主要是 ADLLS 所引入的.文中通过采样 70 个数据标本,得出的阵列的 DNL 和 INL 如图 6 所示,DNL=0.8LSB,INL=0.3LSB.

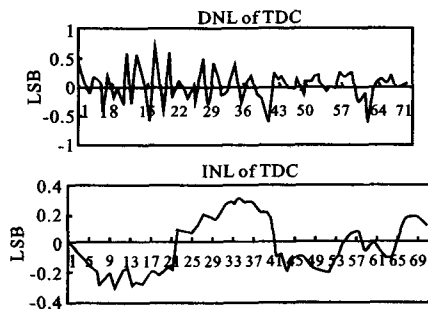


图 6 ADLLS 的 DNL 和 INL

表 1 表示的是文中设计的 TDC 和前人工作^[4,5]之比较.由表 1 可知,文中设计的 TDC 在时间精度,动态范围,单通道功耗方面有很好的性能,且能满足更多通道的需求.

表 1 三种 TDC 指标的比较

	文献[4]	文献[5]	本文工作
结构	Signal DLL	ADLLS	ADLLS
延迟单元	128	140	140
工艺/ μm	CMOS 0.35	CMOS 0.7	CMOS 0.18
通道数目	1	4	64
时间精度/ps	244	89.3	71
动态范围	缺省	3.2	20
DNL/LSB	0.2	0.55	0.8
INL/LSB	<1%	0.61	0.3
功耗/mW	14	约 800	约 200
应用	Liquid Xenon PET	ALICE	生物医学成像

7 结束语

文中设计了一种 64 通道,高精度,具有自校准功能的时间数字转换电路.由于多通道之间互相存在串扰,这是文中工作较前人工作在非线性方面略差的原因.本设计适用于生物医学成像,尤其是小动物 PET 成像系统.在对通道数、时间精度和芯片面积作很好的权衡后,也可以应用于高性能粒子和空间物理研究.

参考文献:

- [1] Swann B K, Blalock B J, Clonts L G, et al. A 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications[J]. IEEE journal of solid-state circuits, 2004, 39(11): 1839-1852.
- [2] Kirichenko A, Sarwana S, Gupta D, et al. Multi-channel time digitizing systems[J]. IEEE transactions on applied superconductivity, 2003, 13(2): 454-458.
- [3] Yousif A S, Haslett J W. A fine resolution TDC architecture for next generation PET imaging[J]. IEEE transactions on nuclear science, 2007, 54(5): 1574-1582.
- [4] Bourrion O, Martel L G. An integrated CMOS Time-to-digital converter for coincidence detection in a liquid Xenon PET prototype[J]. Nuclear instruments and methods in physics research, 2006, 563(1): 100-103.
- [5] Moat M, Christiansen J. A four-channel self-calibrating high-resolution time to digital converter[C]//IEEE International Conf. Geneve, 1998: 155-159.
- [6] Kalisz J. Review of methods for time interval measurements with picoseconds resolution[J]. Metrologia, 2004 (41): 17-32.
- [7] 温显光,解宁,何东年,等.高速 PLL 电路中的电荷泵电路设计[J].微电子学与计算机,2004,21(12):207-209.
- [8] Christiansen J. An integrated high resolution CMOS timing generator based on an array of Delay locked loops[J]. IEEE journal of solid-state circuits, 1996, 31(7): 952-957.

(下转第 65 页)

这样,无论 N1 和 N2 管中的哪个开启,该“下拉”动作都足以使放大器中的 P1 或 P2 管中的一个打开,并使另一个管子关闭.在电平转移电路稳定工作时,是不会有静态工作电流产生的. P4 和 P5 则是为能够保证 P1(或 P2)导通前, P4(或 P5)预先关断,以缩短电路翻转产生的短路电流的导通时间,进而达到降低动态功耗的目的. 但为能够保证电路的各个管子能够正常“开启”和“关断”,电压 V_{DD1} 必须低于 V_{DD} . 由于互连架构中的采用的电平转移电路只需完成升压功能以保证电路不失效,所以只需采用正向电平转移电路就可以满足要求.

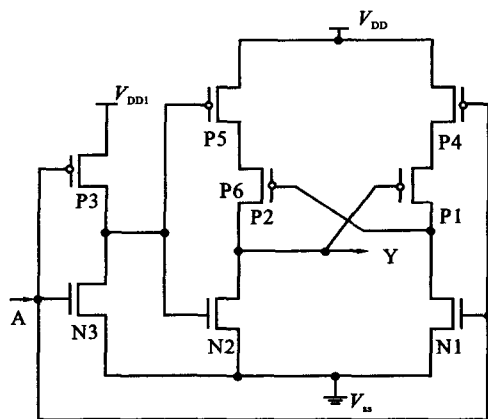


图9 正向电平转移电路

4 结束语

文中提出了一种 GALS 异步互连实现方案,采用 MOUSETRAP 异步流水线作为互连的基本结构,在保证其性能的前提下,对架构的具体实现进行了晶体管级功耗优化设计并进行了仿真验证测试.另外,考虑到异步接口架构固有的对工艺依赖性较强及设计灵活性不足的缺点,结合 SOC 系统的多电压供电的特点,提出了一种利用多电压下的延时可调机制,并给出了相关电路的具体实现.该架构适合

于对高速数据流通讯和功耗有同样要求的 SOC 芯片的内部互连.

参考文献:

- [1] 徐阳扬,周端,杨银堂,等. 非对称 GALS 系统异步接口设计[J]. 西安电子科技大学学报:自然科学版, 2007, 34(2): 294-297.
- [2] Martin A J, Nystrom M, Wong C G. Three generations of asynchronous microprocessors[J]. IEEE Design & Test of Computers, special issue on Clockless VLSI Design, 2003, 20(6):9-17.
- [3] 黄志正,杨樟,高茁. 高速低功耗传输电路的时钟系统设计[J]. 微电子学与计算机, 2008, 25(1): 108-111.
- [4] Zhuang S X, Li W D, Carlsson J. A asynchronous data communication with low power for GALS systems[C]// Electronics, Circuits and Systems, 9th International Conference. New York: IEEE, 2002: 753-756.
- [5] 潘海祥,居水荣. 异步零协议算术逻辑单元的设计[J]. 微电子学与计算机, 2008, 25(8): 48-51.
- [6] Shimizu M, ABE K. A cost-effective handshake protocol and its implementation for bundled-data asynchronous circuits[J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, 2006, E89-A(1): 280-287.
- [7] Myers C J. Asynchronous circuit design[M]. New York: John Wiley & Sons, Inc., 2001.
- [8] Singh M, Nowick S M. MOUSETRAP: high-speed transition-signaling asynchronous pipelines[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2007, 15(6): 684-698.

作者简介:

曾永红 男,(1974-),博士.研究方向为低功耗异步集成电路设计、片上系统(SOC)及可编程片上系统(SOPC)技术等.

叶旭鸣 男,(1971-),高级工程师.研究方向为计算机应用及硬件设计等.

(上接第 60 页)

作者简介:

王 雷 男,(1983-),硕士研究生.研究方向为专用集成电

路设计.

魏廷存 男,(1960-),博士,教授.研究方向为数模混合信号集成电路设计技术以及平板显示驱动芯片技术.